

**PERTEMUAN IX**

**REGISTER**

# Sasaran Pertemuan IX

Mahasiswa diharapkan mengerti tentang Register yang terdiri dari :

- Register Buffer dan Register Geser

# REGISTER

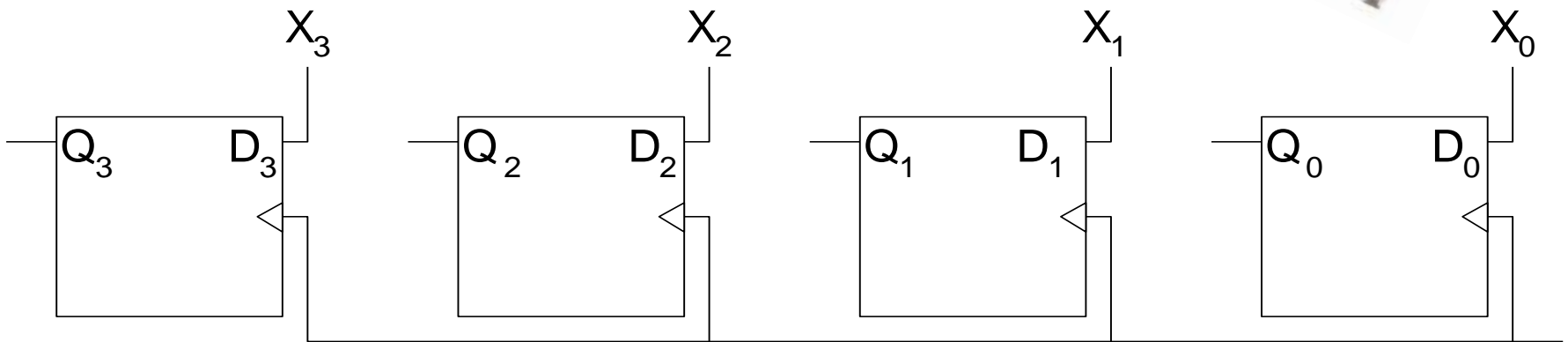
Register adalah suatu kelompok elemen memori yang bekerja bersama sebagai satu kesatuan.

Jenis Register Penyimpan

- 1. Register Buffer**
- 2. Register Geser**
- 3. Register Geser Terkendali**

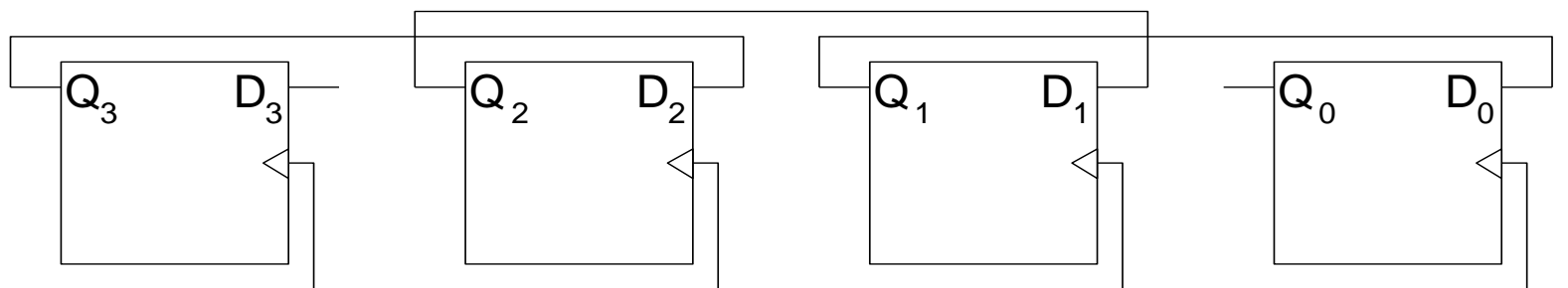
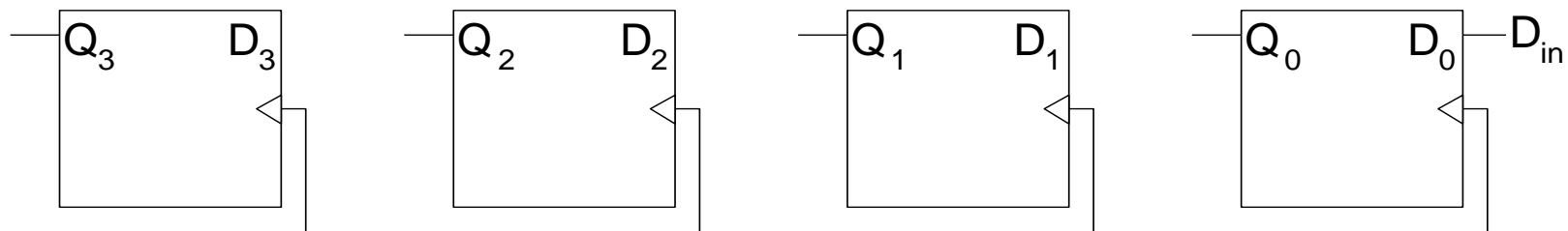
# 1. Register Buffer

Adalah jenis register yang paling sederhana, yang hanya berfungsi untuk menyimpan kata digital

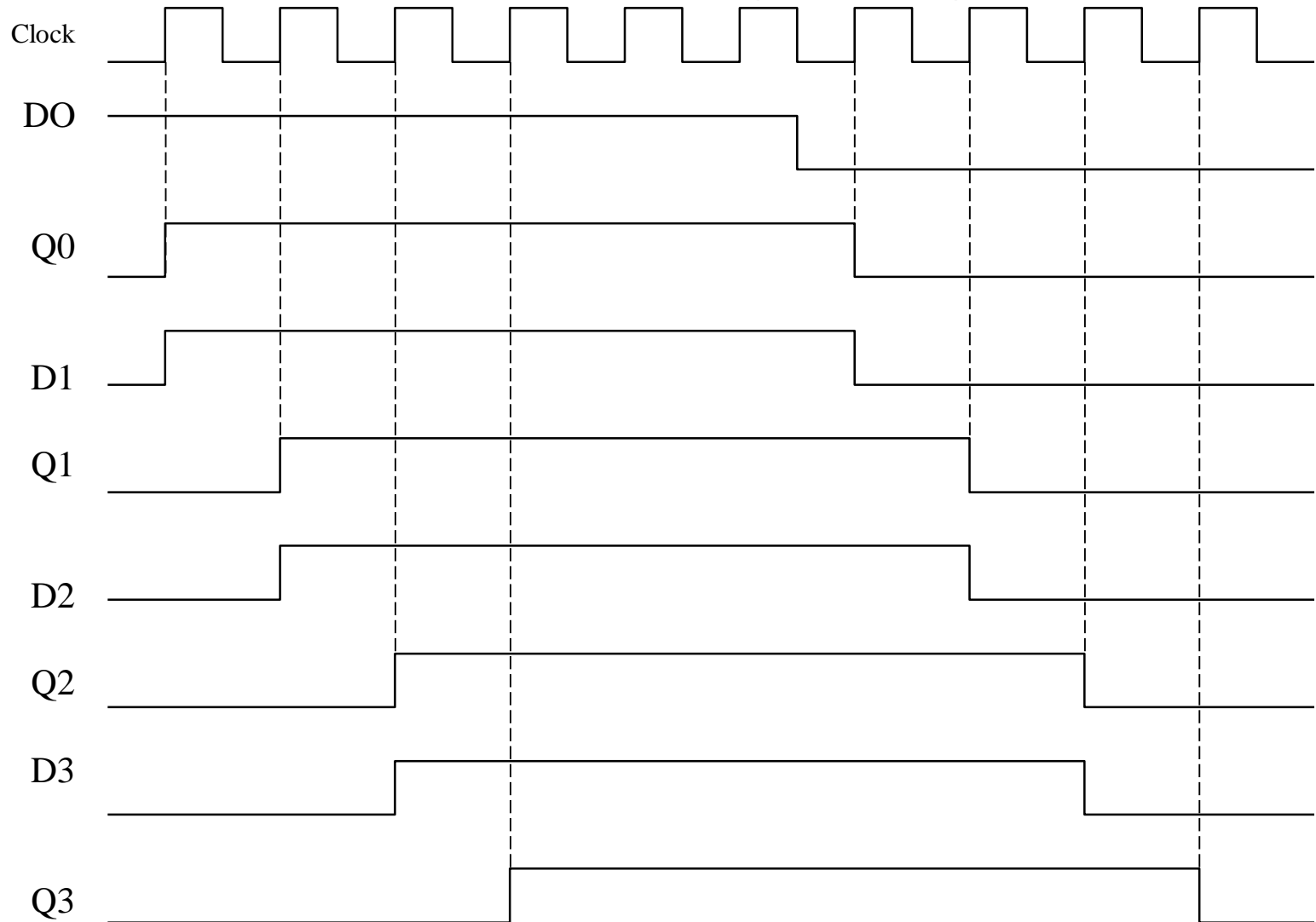


## 2. Register Geser (Shift Register)

Register geser disusun dengan merangkaikan flip flop satu sama lain. Sebuah register geser dapat memindahkan bit-bit yang tersimpan ke kiri atau ke kanan. Pergeseran bit ini penting dalam operasi aritmatika dan operasi logika yang dipakai komputer. Register geser juga sering digunakan untuk menyimpan data sesaat.



# Diagram pewaktuan register geser kiri



### 3. Register Geser Terkendali (Control Shift Register)

- ✓ Register ini menggunakan sinyal pengendali SHL. Register geser sering digunakan untuk menyimpan data sesaat.
- ✓ Salah satu metode penentuan karakteristik register geser adalah bagaimana data dimuat (Loading) ke dan dibaca (Reading) dari unit-unit penyimpanannya.
- ✓ Ada dua cara pengisian (Loading) dari register ini yaitu secara serial dan paralel



a. Pengisian Seri (Serial Loading)      Pengisian seri berarti penyimpanan      sebuah kata digital dalam register      dengan cara memasukkan 1 bit pada      setiap pulsa detak.

b. Pengisian Paralel

Pada pengisian paralel ( broadside loading) hanya memerlukan 1 pulsa detak untuk memasukkan sebuah kata digital.

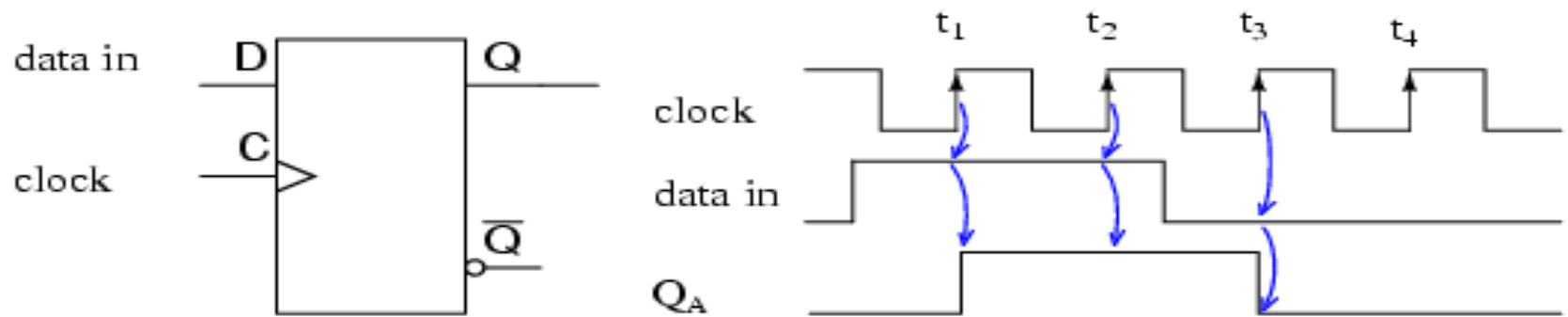
Berdasarkan pemuatannya, terdapat 4 kategori register geser :

1. masukan serial keluaran serial (SISO)
2. masukan serial keluaran paralel (SIPO)
3. masukan paralel keluaran paralel (PIPO)
4. masukan paralel keluaran serial (PISO)

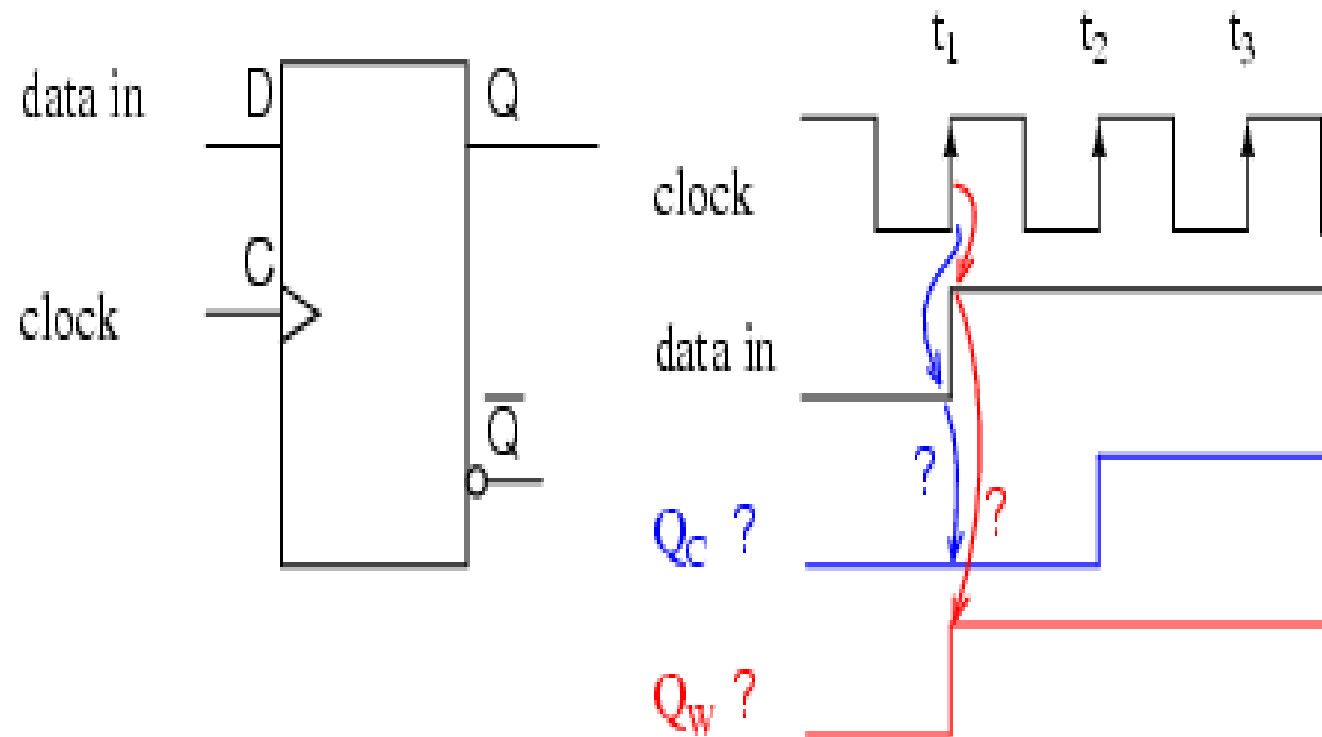
## Serial-in/serial-out shift register (SISO)

- ✓ Serial-in, serial-out shift register menunda (delay) data menggunakan satu pulsa untuk setiap tahap.
- ✓ Data bit disimpan pada setiap register secara bertahap.
- ✓ Serial-in, serial-out shift register memiliki panjang data dari 1 hingga 64 bit lebih panjang jika, register atau paket data berbentuk cascaded (bertingkat).

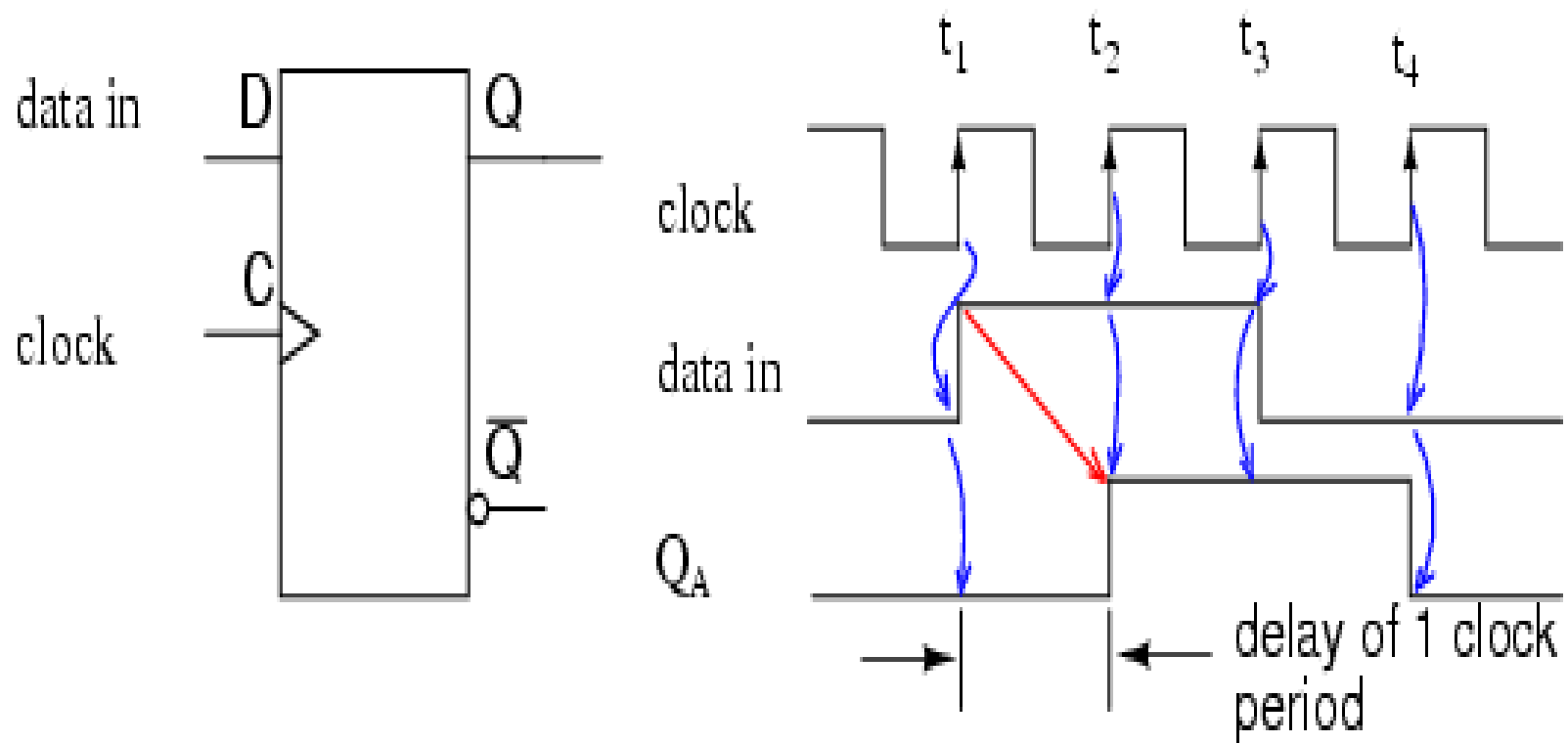
- Dibawah ini single stage shift register menerima data yang tidak sinkron ke register clock. Data "data in" pada pin **D** **D FF** (Flip-Flop) tidak mengalami perubahan pada saat pulsa berubah dari keadaan low (0) ke high (1). Kita harus mensinkronkan data dengan sebuah system wide clock untuk membuktikan kehandalan sebuah digital logic circuit.



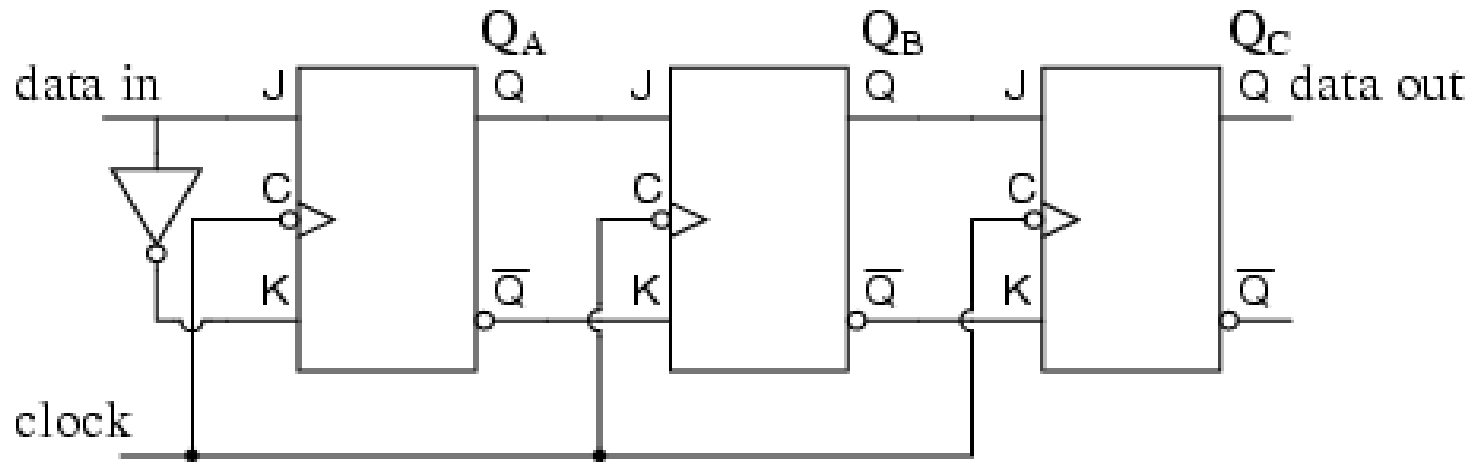
Data present at clock time is transfered from **D** to **Q**.



Does the clock  $t_1$  see a 0 or a 1 at data in at D? Which output is correct,  $Q_C$  or  $Q_W$ ?



Data present  $t_H$  before clock time at D is transferred to Q.

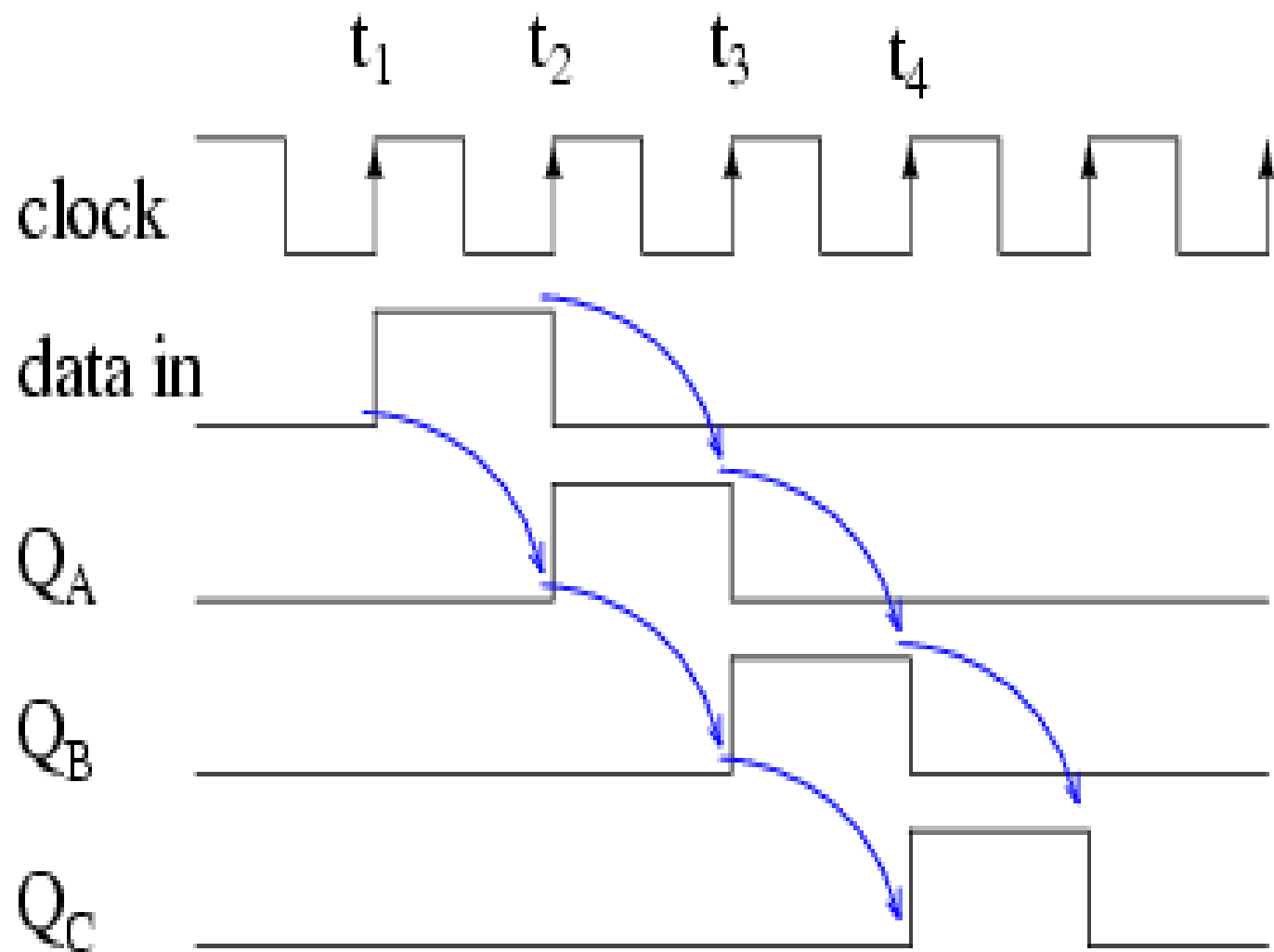


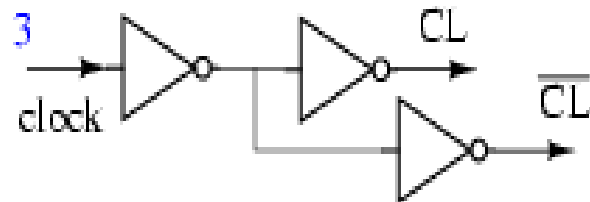
Serial-in, serial-out shift register using type "JK" storage elements

- ✓ Jenis lain seperti **JK** FF secara bertahap ( cascaded) dari Q ke J,  $Q'$  ke K dengan input pulsa parallel sebagai alternatif untuk hasil yang diinginkan dari rangkaian register geser diatas.
- ✓ Secara umum Serial-in/serial-out shift register dengan komponen : input pulsa , data input, dan data output pada keadaan akhir sedangkan keadaan lainnya tidak ada.

- ✓ Diagram waktu berikut digunakan dengan salah satu dari 2 versi serial-in, serial-out shift register.
- ✓ Tiga pasang anak panah menunjukkan tiga keadaan secara temporal menyimpan 3 bit data dan terjadi penundaan dengan ke 3 pulsa secara periodik dari input ke output.
- ✓ Implementasi SISO dapat dilihat pada rangkaian CD 4006b, CD4006b-18 bit dan CD 4031-64 bit pada halaman berikut

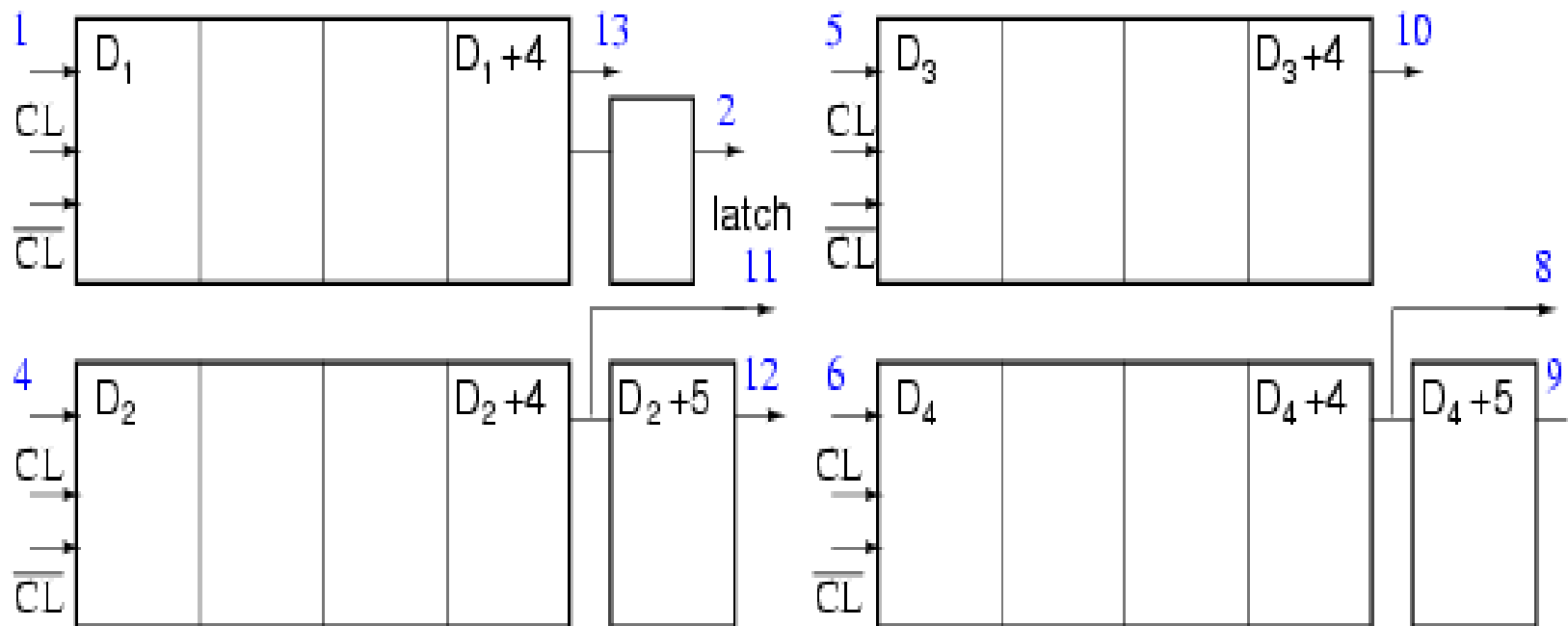




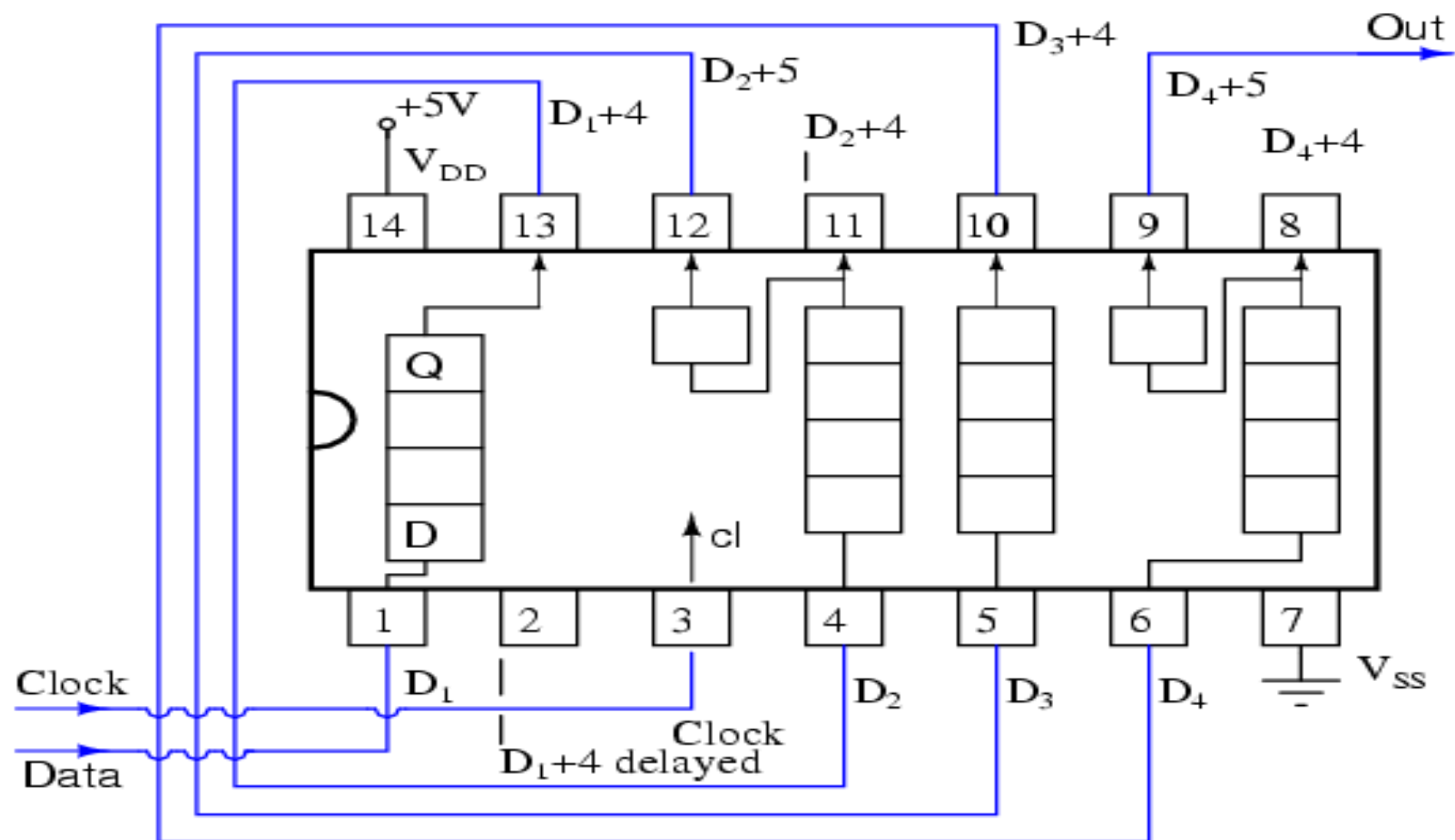


$V_{SS}$  ( pin 7) = Gnd,  $V_{DD}$  (pin 14) = +3 to +18  $V_{DC}$

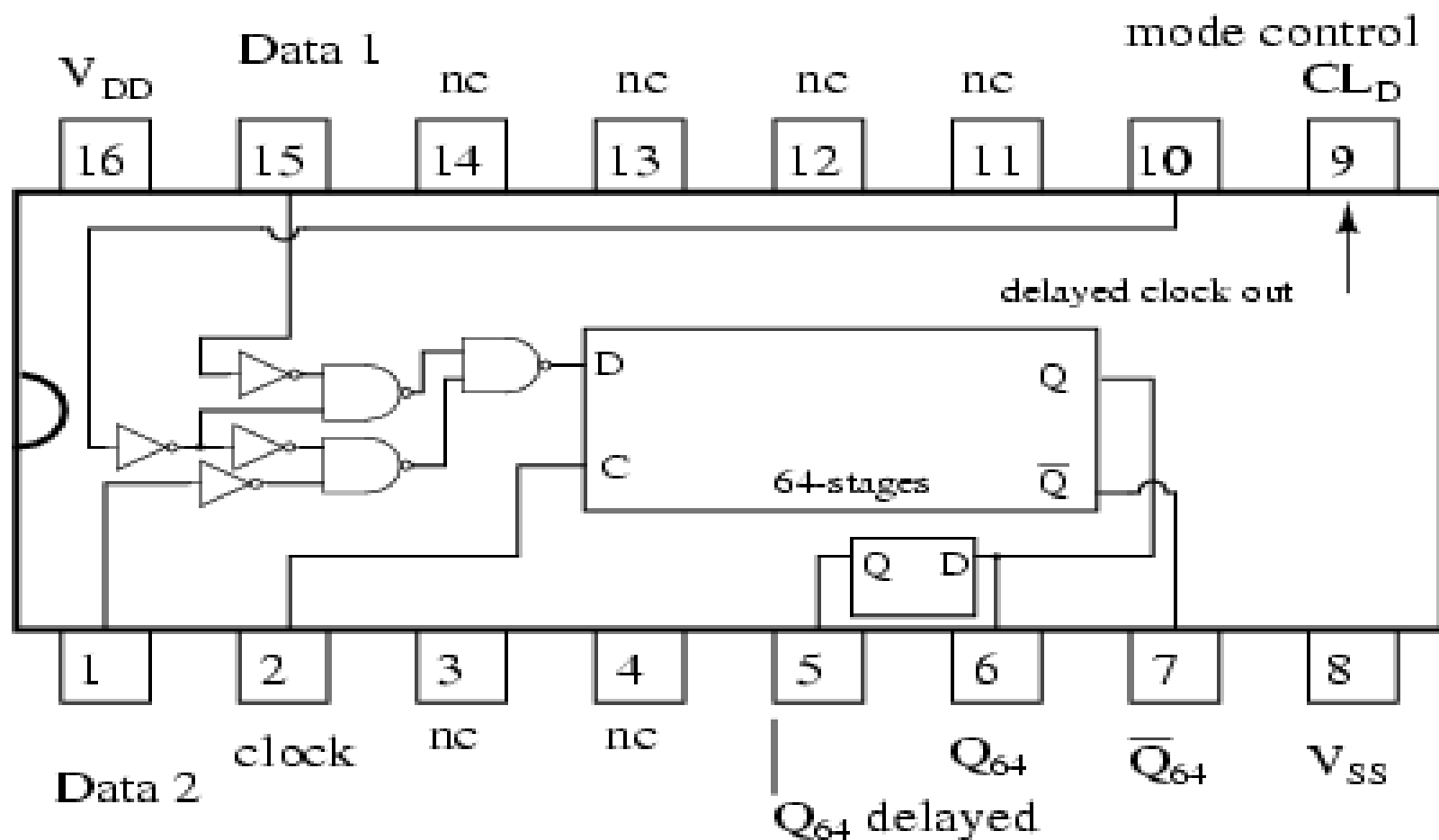
CL and  $\overline{CL}$  to all 18-stages & latch.



CD4006b Serial-in/ serial-out shift register



CD4006b 18-bit serial-in/ serial-out shift register

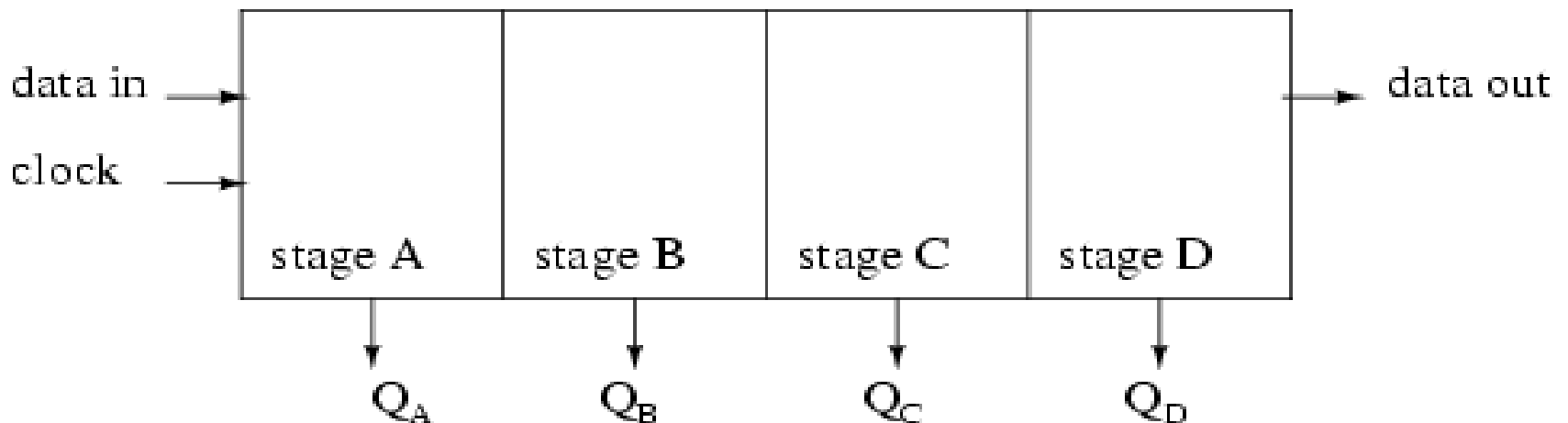


CD4031 64-bit serial-in/ serial-out shift register

## Serial-in, parallel-out shift register (SIPO)

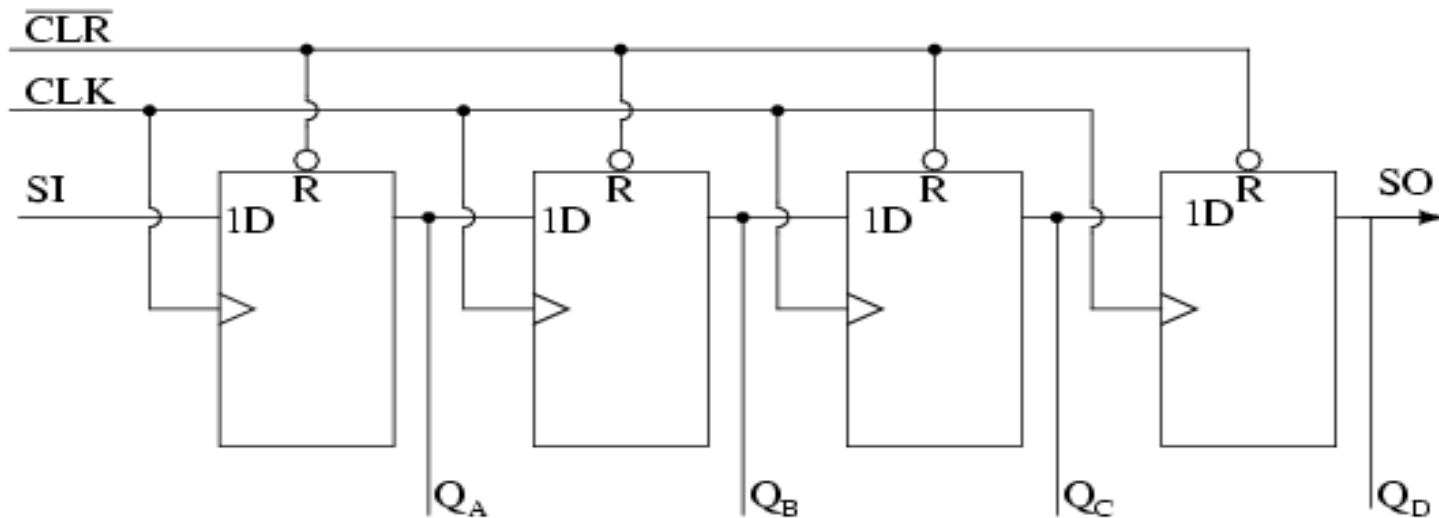
- ✓ Serial-in/parallel-out shift register mirip dengan serial-in/ serial-out shift register dimana data diinput ke elemen penyimpanan dan bergeser dalam bentuk data keluaran secara serial, data keluar dan pin.
- ✓ Perbedaannya adalah semua data berada dalam tahap internal sebagai output.
- ✓ Sehingga serial-in/parallel-out shift register merubah data dari format serial ke format parallel.

Jika 4 data digeser dengan 4 pulsa melalui kabel tunggal sebagai data input data secara bersamaan (simultan) menghasilkan 4 Output QA ke QD setelah pulsa di berikan seperti ditunjukkan gambar berikut:

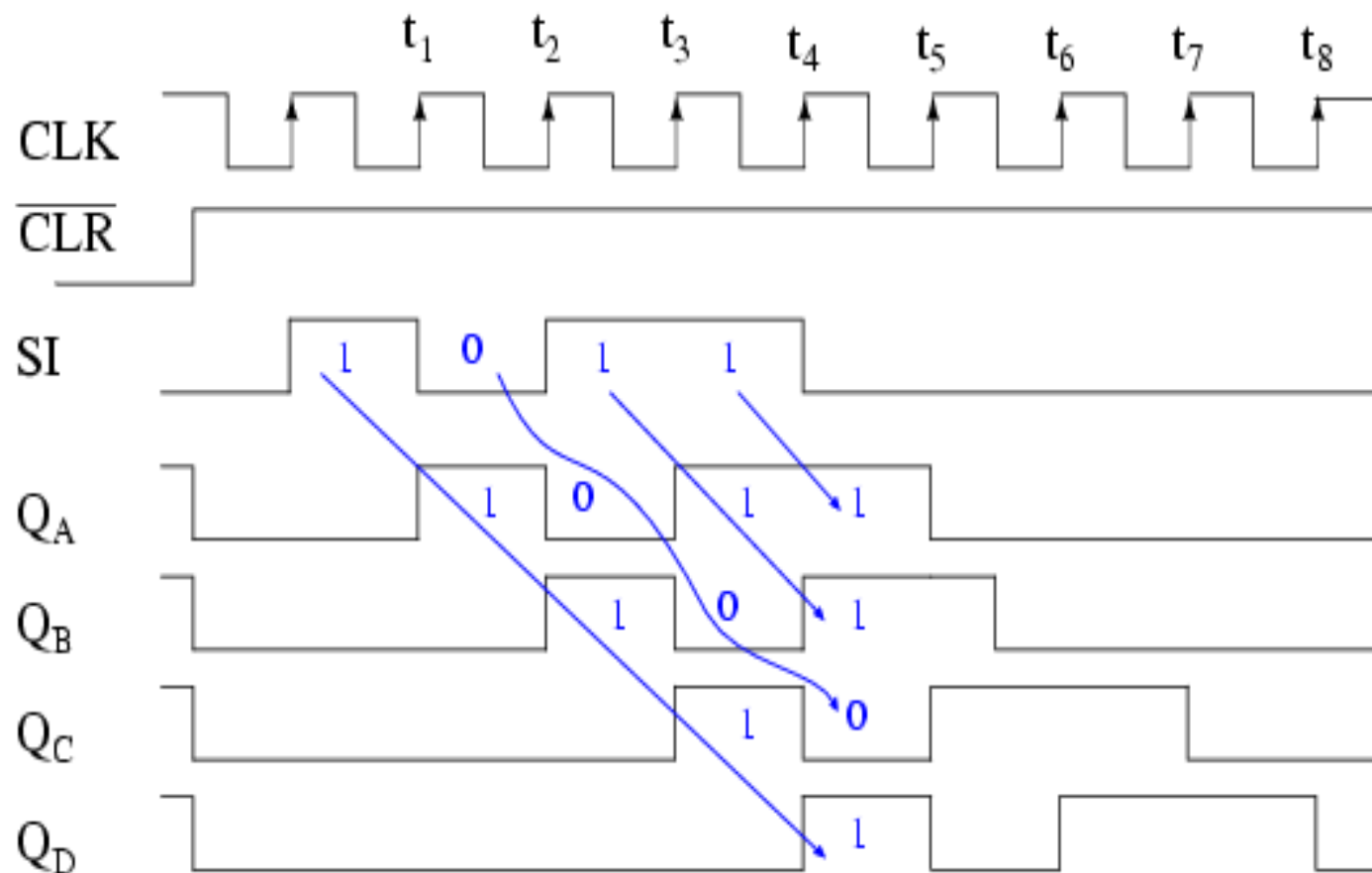


Serial-in, parallel-out shift register with 4-stages

Pada aplikasi praktis serial-in/parallel-out shift register merubah data bentuk serial format melalui data tunggal ke bentuk parallel format pada beberapa kabel. Dengan menggunakan 4 LED (Light Emitting Diodes) dengan 4 output ( $Q_A$   $Q_B$   $Q_C$   $Q_D$ ) pada gambar dan diagram waktu berikut. ini



Serial-in/ Parallel out shift register details

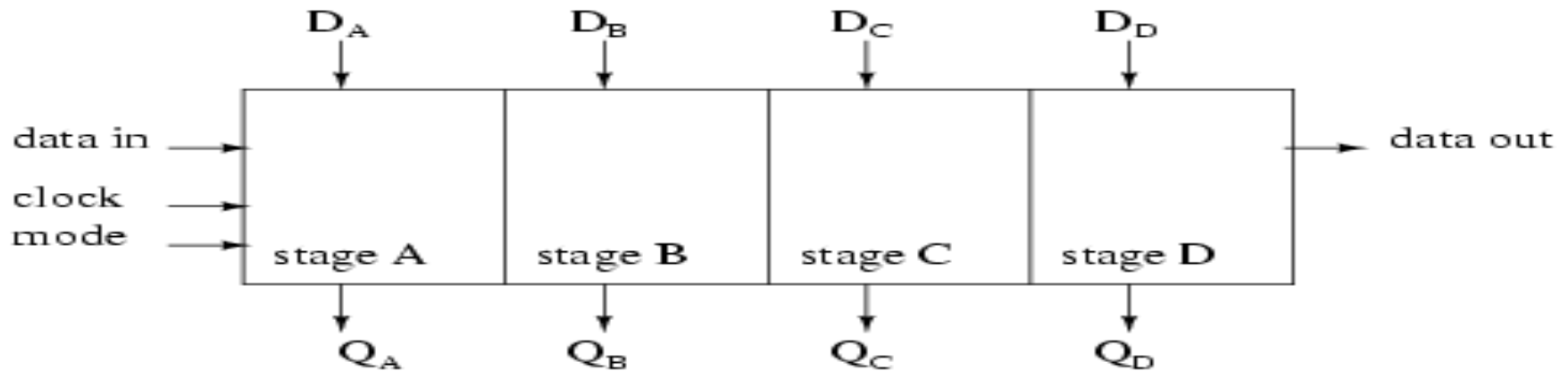


Serial-in/ parallel-out shift register waveforms



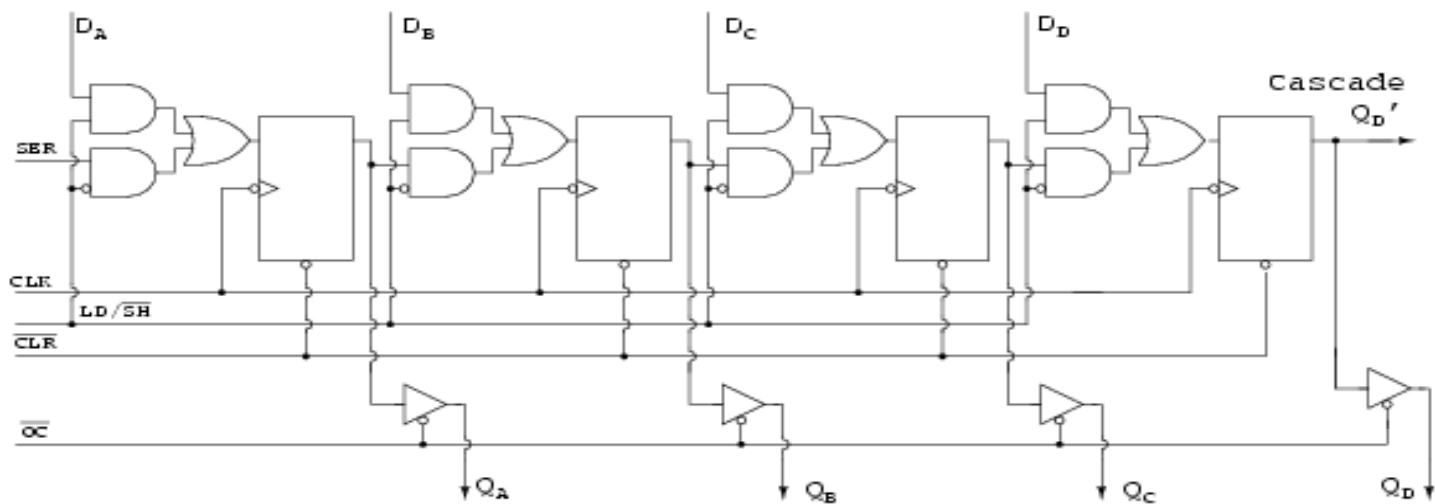
## Parallel-in, parallel-out, universal shift register (PIPO)

Parallel-in/ parallel-out shift register dengan data paralel digeser dengan output seperti ditunjukkan oleh gambar dibawah ini. Secara umum shift register pada beberapa device berfungsi sebagai alat tambahan parallel-in/ parallel-out.



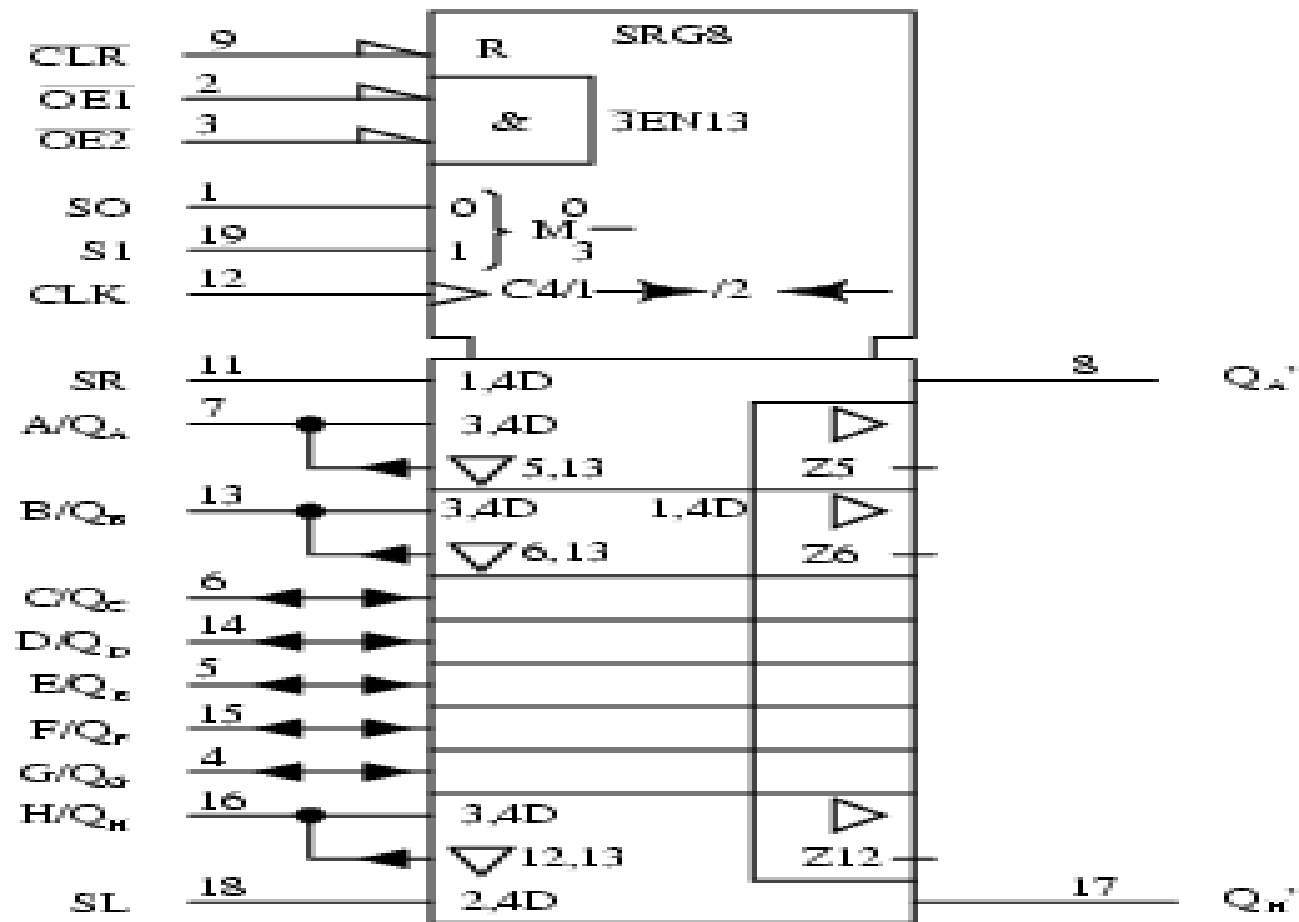
Parallel-in, parallel-out shift register with 4-stages

Salah satu contoh Geser kanan dari parallel-in/ parallel-out shift register ditunjukkan oleh gambar berikut. Tiga gerbang logika pada keadaan buffer (sementara) sebenarnya tidak terlalu dibutuhkan pada parallel-in/ parallel-out shift register, kecuali bagian dari real-world device 74LS395 yang ditunjukkan oleh gambar dibawah ini.

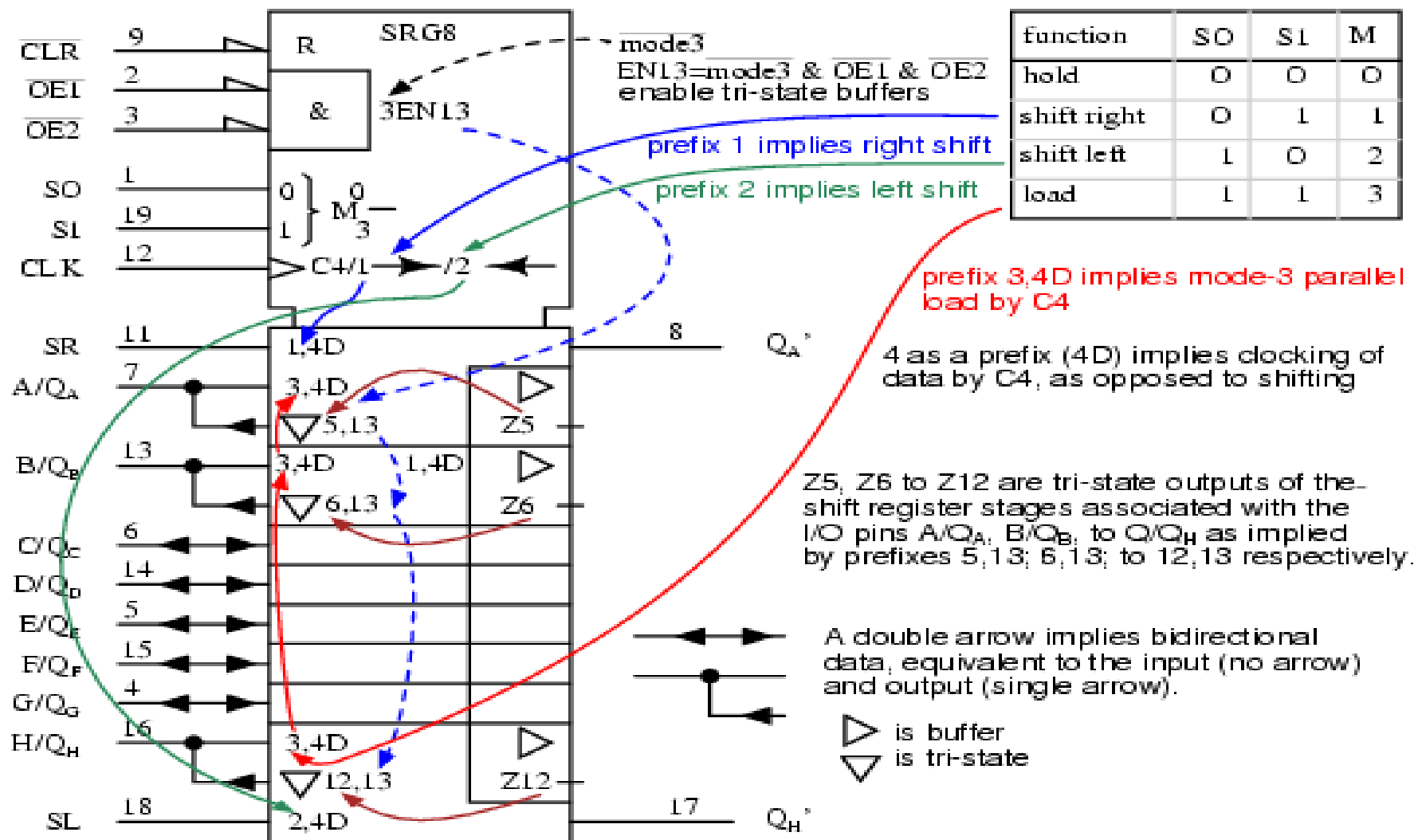


74LS395 parallel-in/ parallel-out shift register with tri-state output

Contoh lain adalah jenis SN74ALS299



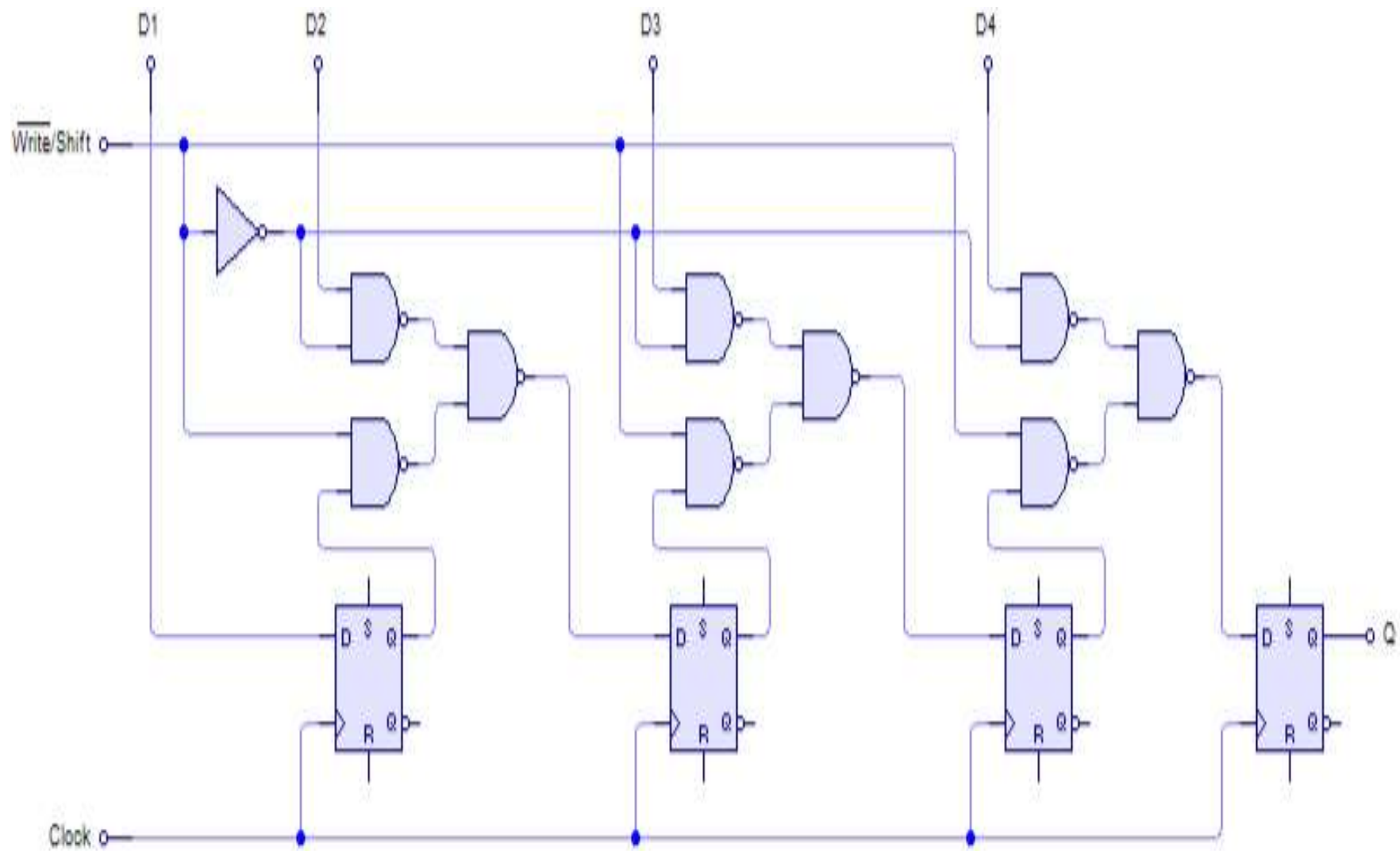
SN74ALS299 ANSI Symbol



SN74ALS299 ANSI Symbol, annotated

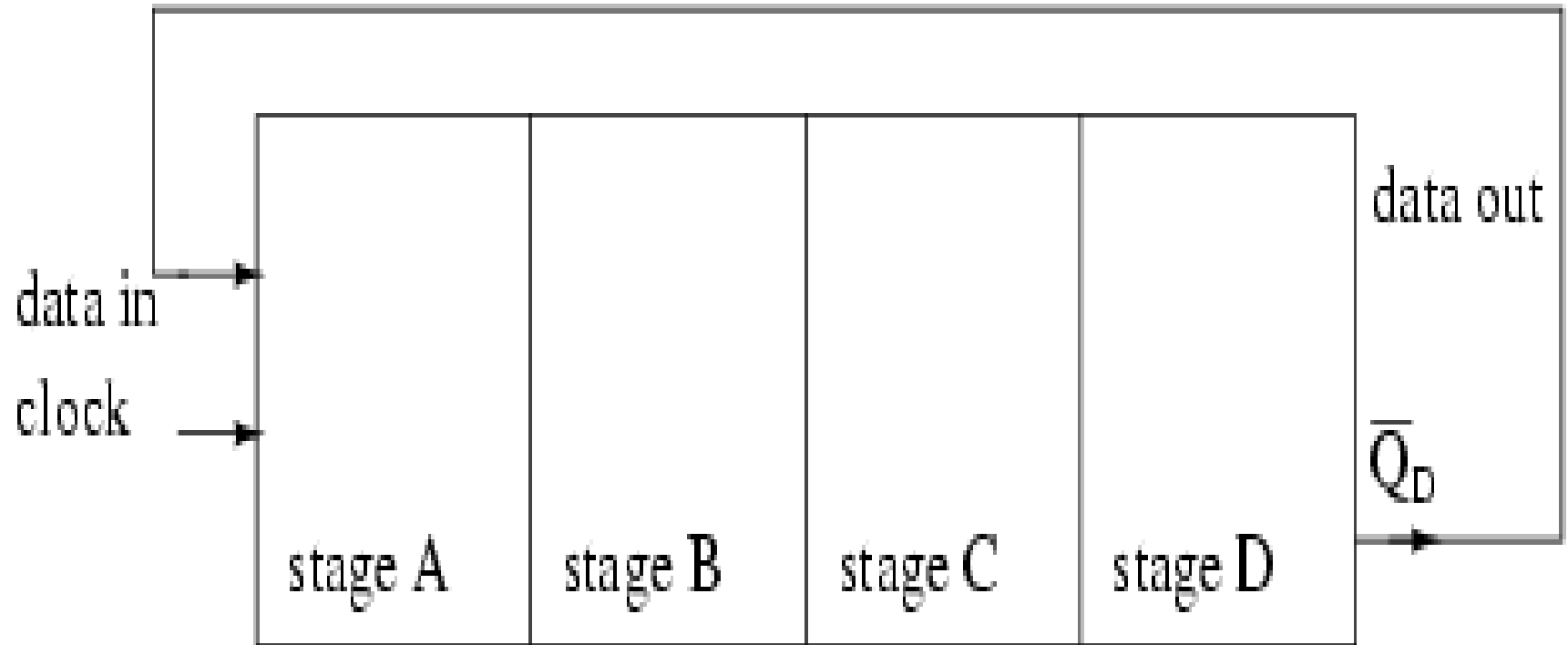
# Parallel-in, serial-out (PISO)

- ✓ Konfigurasi rangkaian ini dengan input data pada garis D1 hingga D4 dalam bentuk parallel format.
- ✓ Untuk menyimpan “write” data ke register, Write/Shift control line berada pada kondisi LOW.
- ✓ Untuk menggeser data, W/S control line dalam kondisi HIGH dan register menerima pulsa.
- ✓ Jika data D1 sebagai Data Input maka jumlah pulsa tidak dibutuhkan lagi dimana Data Output, Q, berbentuk data parallel setelah proses baca pada kondisi mati.



## Pencacah Putar Gelang (Ring counters)

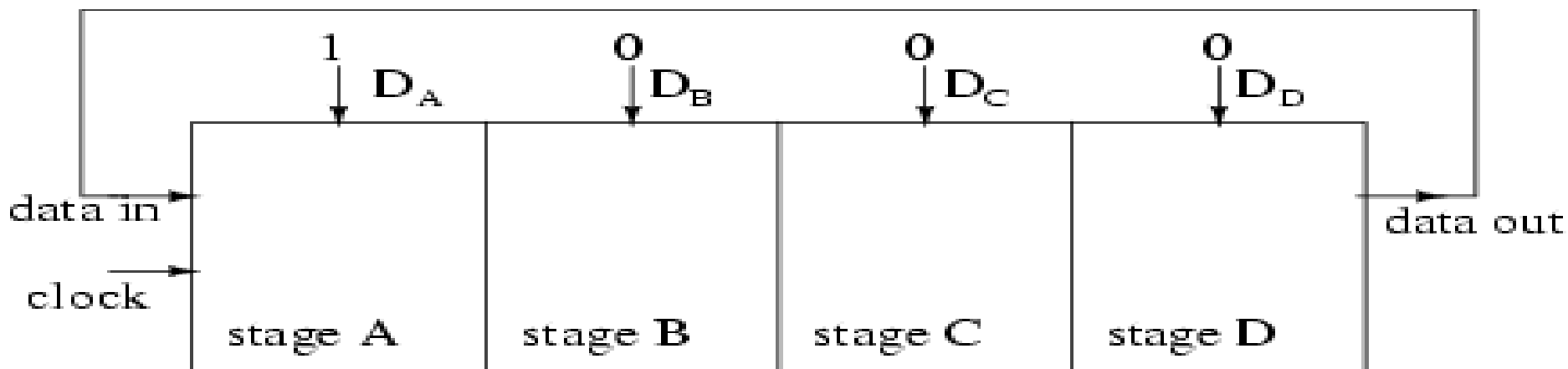
- ✓ Jika output register digeser di kembalikan sebagai fed back menjadi input merupakan hasil dari rangkaian putar gelang (Ring Counter ).
- ✓ Data di sirkulasi selama ada pulsa yang digunakan.
- ✓ Sebagai contoh data akan berulang selama ada 4 pulsa yang digunakan pada gambar berikut .
- ✓ Jika pemuatan data (data loading) semua pada kondisi **0** atau semua pada kondisi **1** maka tidak dicacah.
- ✓ Apakah kondisi pada level High atau Low yang digunakan?



Ring Counter, shift register output fed back to input

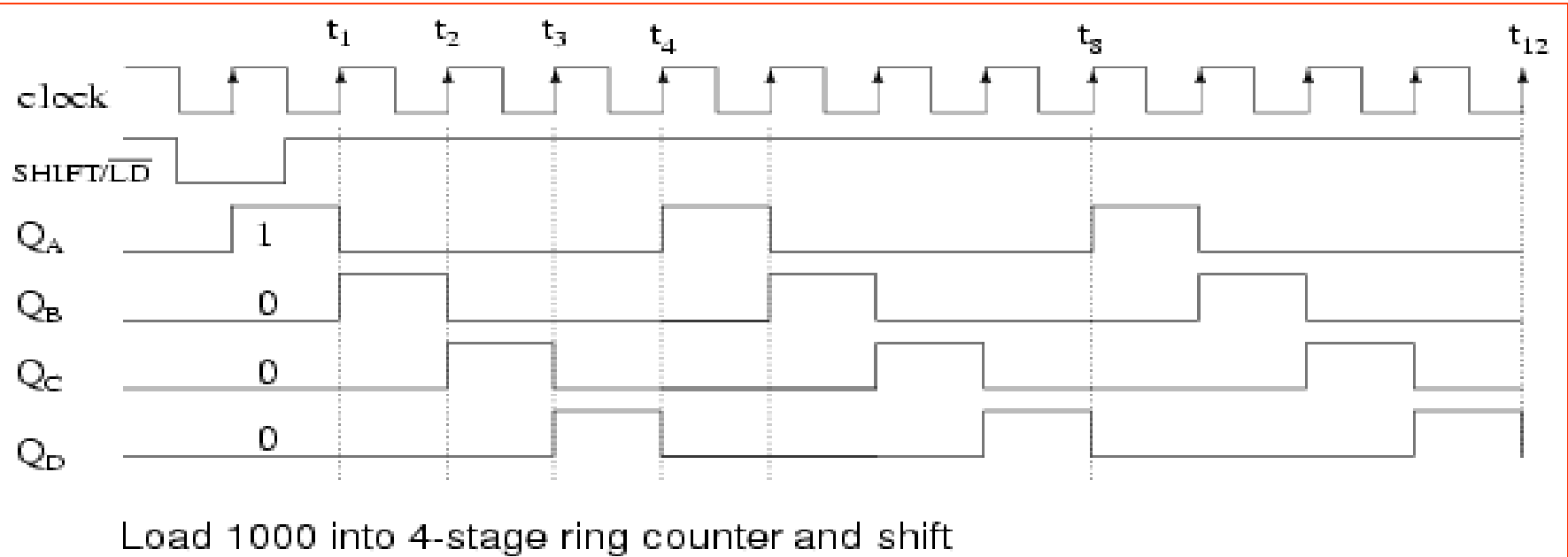
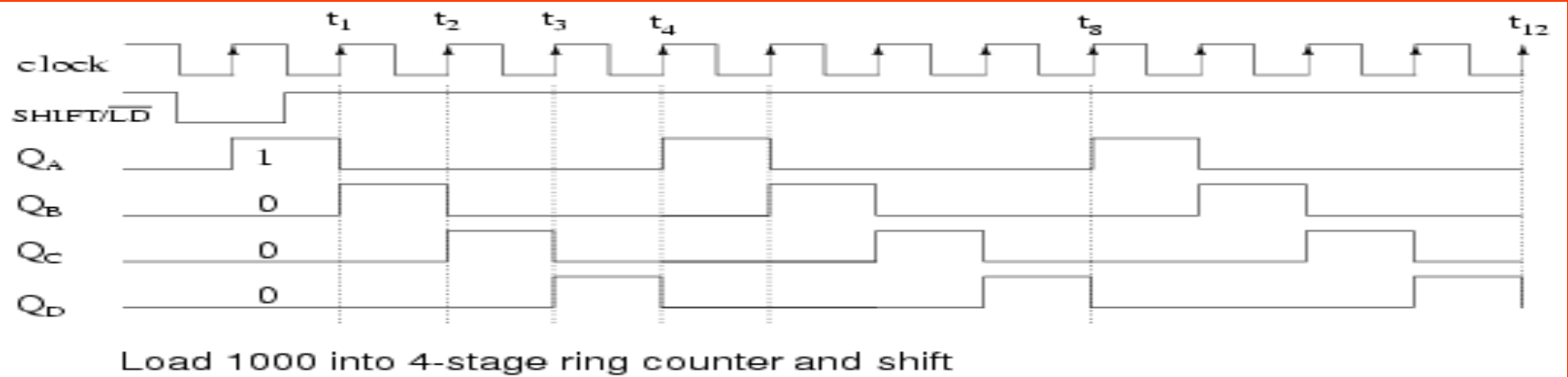


- ✓ Kita melakukan prosens pemuatan data ke rangkaian parallel-in/ serial-out shift register yang dikonfigurasi menjadi ring counter pada gambar dibawah ini.
- ✓ Data secara random akan di load. Secara umum yang paling banyak digunakan pada kondisi 1.



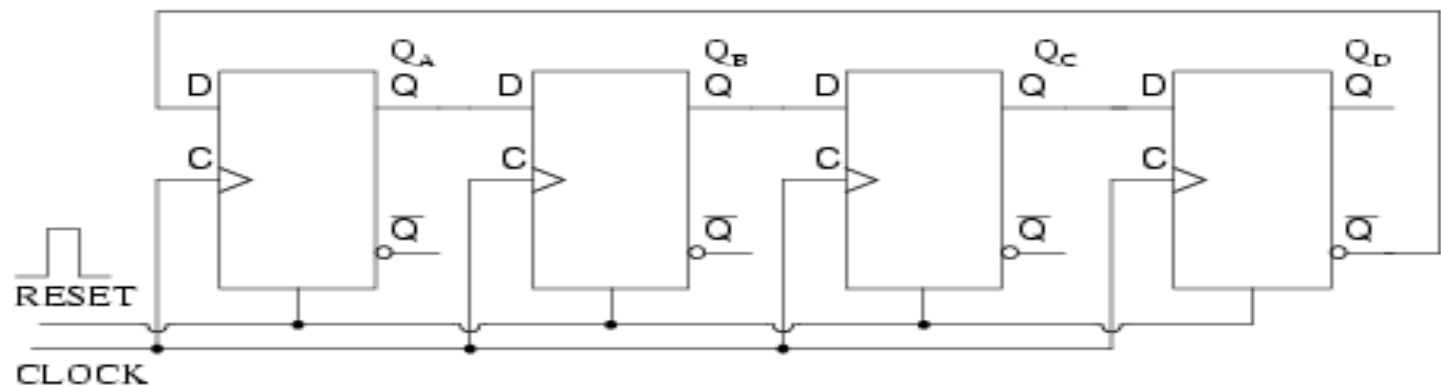
Parallel-in, serial-out shift register configured as a ring counter

- ✓ Pemuatan binary **1000** ke rangkaian ring counter, menghasilkan pergeseran yang dapat dilihat pada diagram waktu berikut.
- ✓ Sebagai contoh data pada satu tahap berulang untuk setiap 4 pulsa dari 4 .
- ✓ Diagram waktu untuk semua tahap terlihat sama dengan pengecualian satu pulsa saat penundaan dari satu tahap ke tahap berikutnya.

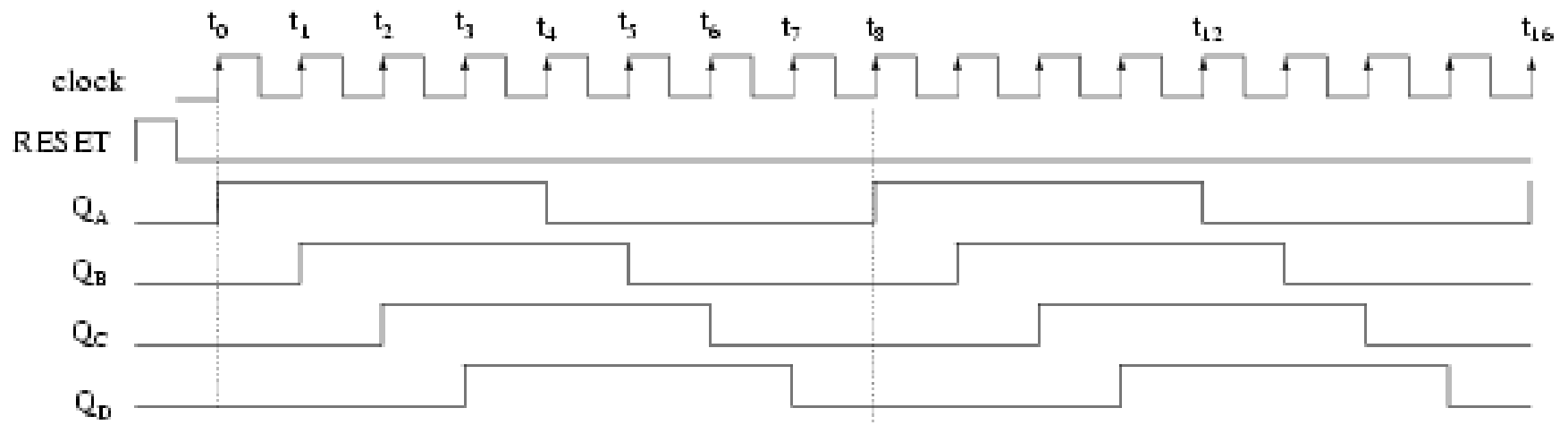


- ✓ Salah satu contoh jenis Ring Counter adalah ***Johnson Counter (Switch-tail-ring counter)*** seperti terlihat pada gambar dibawah ini.
- ✓ Perhatikan rangkaian dan Tabel Logika serta diagram waktu pada halaman berikut .Johnson counter menghasilkan output yang di fed back pada tahap akhir (Q atau Q').

$Q_A$	$Q_B$	$Q_C$	$Q_D$
0	0	0	0
1	0	0	0
1	1	0	0
1	1	1	0
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1
repeat			



Johnson counter (note the  $\overline{Q}_D$  to  $D_A$  feedback connection)



Four stage Johnson counter waveforms

THE END